

SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

Publication number: JP2000323656 (A)

Publication date: 2000-11-24

Inventor(s): KODATE JUNICHI; HARADA MITSURU; TSUKAHARA TSUNEO;
SUGAWARA HIDEKUNI; SUZUKI HIDEO; SATO MASAHIRO +

Applicant(s): NIPPON TELEGRAPH & TELEPHONE; TOKIN CORP +

Classification:

- international: **H01F10/06; H01F17/00; H01F41/04; H01L21/822; H01L27/04;**
H01F10/00; H01F17/00; H01F41/04; H01L21/70; H01L27/04;
(IPC1-7): **H01F10/06; H01F17/00; H01F41/04; H01L21/822;**
H01L27/04

- European:

Application number: JP19990128279 19990510

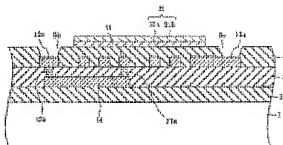
Priority number(s): JP19990128279 19990510

Also published as:

JP3526237 (B2)

Abstract of JP 2000323656 (A)

PROBLEM TO BE SOLVED: To improve the inductance of an inductor element for high frequencies across whole azimuth. **SOLUTION:** This semiconductor device is provided with a first insulator layer 2 formed on a semiconductor substrate 1, an inductor element 11 formed on the first insulating layer 2, a second insulator layer 4 formed on the first insulator layer 2 so that the inductor element 11 can be covered, and a multilayered structure 21 constituted of soft magnetic thin films 21a and 21b having one axial magnetic anisotropy which is formed on at least one side of the lower face side of the first insulator layer 2 and the upper face side of the second insulator layer 4. In this case, the soft magnetic thin films 21a and 21b in each layer of the multilayered structure have different axes of easy magnetization directions in the film faces.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-323656

(P2000-323656A)

(43) 公開日 平成12年11月24日 (2000. 11. 24)

(51) Int.Cl. ⁷	識別記号	F I	テグコード (参考)
H 0 1 L 27/04		H 0 1 L 27/04	L 5 E 0 4 9
21/822		H 0 1 F 10/06	5 E 0 6 2
H 0 1 F 10/06		17/00	B 5 E 0 7 0
17/00		41/04	C 5 F 0 3 8
41/04			

審査請求 未請求 請求項の数 3 O L (全 12 頁)

(21) 出願番号 特願平11-128279

(22) 出願日 平成11年5月10日 (1999. 5. 10)

(71) 出願人 000004226

日本電信電話株式会社
東京都千代田区大手町二丁目3番1号

(71) 出願人 000134257

株式会社トーキン
宮城県仙台市太白区郡山6丁目7番1号

(72) 発明者 小館 淳一

東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

(74) 代理人 100064821

弁理士 山川 政樹

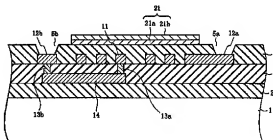
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 高周波用インダクタ素子のインダクタンスを全方位にわたって向上させる。

【解決手段】 半導体基板1上に形成された第1の絶縁体層2と、この第1の絶縁体層2上に形成されたインダクタ素子11と、このインダクタ素子11を覆うように第1の絶縁体層2上に形成された第2の絶縁体層4と、第1の絶縁体層2の下面側および第2の絶縁体層4の上面側の少なくとも一方の側に形成されかつ一軸磁気異方性を有する軟磁性薄膜21a、21bの多層構造21とを備え、この多層構造の各層の軟磁性薄膜21a、21bは、膜面内における磁化容易軸方向が互いに異なることを特徴とする。



【特許請求の範囲】

【請求項1】 半導体基板上に形成された第1の絶縁体層と、

この第1の絶縁体層上に形成されたインダクタ素子と、
このインダクタ素子を覆うように前記第1の絶縁体層上に形成された第2の絶縁体層と、

前記第1の絶縁体層の下面側および前記第2の絶縁体層の上面側の少なくとも一方の側に形成されかつ一軸磁気異方性を有する軟磁性薄膜の多層構造とを備え、
この多層構造の各層の前記軟磁性薄膜は、膜面内における磁化容易軸方向が互いに異なることを特徴とする半導体装置。

【請求項2】 請求項1において、
前記インダクタ素子が形成された領域に対応する部分の前記半導体基板を除去して形成された開口部を備え、
前記軟磁性薄膜の多層構造は、前記開口部内に形成されていることを特徴とする半導体装置。

【請求項3】 半導体基板の表側の面上にある絶縁体層上にインダクタ素子を形成する第1の工程と、
前記半導体基板の裏側の面から前記絶縁体層が露出するまで前記インダクタ素子が形成された領域に対応する部分の前記半導体基板を除去する第2の工程と、
前記絶縁体層の露出した面に対して平行成分を有する第1の磁界を印加した中で前記絶縁体層の露出した面の所定の領域に第1の軟磁性薄膜を成膜する第3の工程と、
前記絶縁体層の露出した面に対して前記第1の磁界と異なる平行成分を有する第2の磁界を印加した中で前記第1の軟磁性薄膜上に第2の軟磁性薄膜を成膜する第4の工程とを備えることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、インダクタ素子を含む半導体装置およびその製造方法に関し、特に、インダクタ素子の上面側および下面側の少なくとも一方の側に磁性体薄膜が配置された半導体装置およびその製造方法に関する。

【0002】

【従来の技術】 シリコン基板上に作製する半導体回路に含まれるインダクタ素子には、基板面に対して垂直方向にらせん形状をもつトワイグルインダクタ、図10に示すように基板面に対して水平方向にうずまき形状をもつスパイラルインダクタ（111）、などがある。このうち、スパイラルインダクタは、シリコンLSIプロセスを用いて作製することが比較的容易なことから、半導体回路のなかで広く用いられている。

【0003】 このスパイラルインダクタに関して、形状をそのままに高いインダクタンスを得る方法として、スパイラルインダクタの上面側および下面側の少なくとも一方の側に磁性体薄膜を形成する方法があり、電源回路

用のインダクタ素子のインダクタンス向上などに用いられている。図11は、この方法を用いてインダクタ素子111を形成した従来の半導体装置の断面図である。インダクタ素子111は、シリコン基板101上のインダクタ素子領域に形成された素子分離絶縁膜102の上に、磁性体薄膜121、122に挟まれて形成されている。インダクタ素子111および磁性体薄膜121、122は、配線層間絶縁膜106により電気的に絶縁分離されている。

【0004】

【発明が解決しようとする課題】 磁性体薄膜121、122は、その比透磁率が大きいほど、高いインダクタンスをもつインダクタ素子111を実現できる。このような比透磁率の大きい磁性体には、パーマロイ薄膜、センダスト薄膜、アモルファス薄膜など、各種薄膜が開発されており、使用周波数帯域においてそれぞれ特徴がある。パーマロイ薄膜およびセンダスト薄膜は、比抵抗が小さく、数10MHz〜数100MHzの範囲で大きな比透磁率を示す。しかし、これらの磁性体薄膜はGHzの高周波帯域で比透磁率が低下してしまうので、高周波帯域で高いインダクタンスを得られなかった。

【0005】 これに対して、アモルファス薄膜などの軟磁性薄膜は、他の材料に比較して比抵抗が大きく、磁気異方性を大きく制御することによってGHzの高周波数帯域まで大きな比透磁率が維持される。しかし、軟磁性薄膜は大きな一軸磁気異方性を有するため、磁化困難軸方向の比透磁率は大きい、これに垂直な磁化容易軸方向の比透磁率は小さい。したがって、一軸磁気異方性を有する軟磁性薄膜で全方位に高い比透磁率を実現することは困難であり、このような軟磁性薄膜をインダクタ素子111の上下に配置しても高周波帯域で全方位にわたって高いインダクタンスを得ることができなかった。

【0006】 本発明はこのような課題を解決するためになされたものであり、その目的は、高周波用インダクタ素子のインダクタンスを全方位にわたって向上させることにある。

【0007】

【課題を解決するための手段】 上記の目的を達成するために、本発明の半導体装置は、半導体基板上に形成された第1の絶縁体層と、この第1の絶縁体層上に形成されたインダクタ素子と、このインダクタ素子を覆うように第1の絶縁体層上に形成された第2の絶縁体層と、第1の絶縁体層の下面側および第2の絶縁体層の上面側の少なくとも一方の側に形成されかつ一軸磁気異方性を有する軟磁性薄膜の多層構造とを備え、この多層構造の各層の軟磁性薄膜は、膜面内における磁化容易軸方向が互いに異なることを特徴とする。磁化容易軸方向の異なる軟磁性薄膜を多層化することにより、高周波帯域でも全方位に高い比透磁率を得られる。

【0008】 また、この半導体装置は、インダクタ素子

が形成された領域に対応する部分の半導体基板を除去して形成された開口部を備え、軟磁性薄膜の多層構造は、開口部内に形成されていてもよい。半導体基板の開口部内に軟磁性薄膜を形成することにより、インダクタ素子の下面側の近傍に軟磁性薄膜を形成できる。しかも、インダクタ素子を含めた半導体素子の製造プロセスの終了後に軟磁性薄膜を形成できるので、軟磁性薄膜は熱履歴を受けないで済む。

【0009】また、本発明の半導体装置の製造方法は、半導体基板の表側の面上にある絶縁体層上にインダクタ素子を形成する第1の工程と、半導体基板の裏側の面から絶縁体層が露出するまでインダクタ素子が形成された領域に対応する部分の半導体基板を除去する第2の工程と、絶縁体層の露出した面に対して平行成分を有する第1の磁界を印加した中で絶縁体層の露出した面の所定の領域に第1の軟磁性薄膜を成膜する第3の工程と、絶縁体層の露出した面に対して第1の磁界と異なる平行成分を有する第2の磁界を印加した中で第1の軟磁性薄膜上に第2の軟磁性薄膜を成膜する第4の工程とを備えている。このように半導体装置を製造することにより、磁化容易軸方向の異なる軟磁性薄膜を多層化することができ、前述した作用が得られる。

【0010】

【発明の実施の形態】以下、図面を参照して、本発明の実施の形態を説明する。

(第1の実施の形態) 図1は、本発明による半導体装置の第1の実施の形態の断面図であり、シリコンLSIを構成する半導体装置のインダクタ素子領域を示している。図2は、図1に示したインダクタ素子11の平面形状を示す透視図である。なお、図1には図2におけるインダクタ素子11の1-1'線断面が示されている。インダクタ素子11は、シリコン基板(半導体基板)1上のインダクタ素子領域に形成された素子分離絶縁膜(第1の絶縁体層)2の上に形成されており、図2に示すようなスパイラル形状を有している。

【0011】図1に示すように、素子分離絶縁膜2上に配線層間絶縁膜3が形成され、この配線層間絶縁膜3上にインダクタ素子11が形成されている。さらに、このインダクタ素子11を覆うように配線層間絶縁膜3上に配線層間絶縁膜(第2の絶縁体層)4が形成されている。配線層間絶縁膜4には開口部5a、5bが形成されており、開口部5a内の電極12aはインダクタ素子11の一端に接続されている。また、開口部5b内の電極12bは、コンタクト13a、13bと配線14とを介して、インダクタ素子11の他端に接続されている。インダクタ素子11は、Alなどの配線材料で形成される。

【0012】さらに、配線層間絶縁膜4を介してインダクタ素子6上に、多層軟磁性薄膜21が形成されている。この薄膜21は、一軸磁気異方性を有する軟磁性薄

膜の多層構造を有しており、多層構造の各層の軟磁性薄膜は、膜面内における磁化容易軸方向が互いに異なっている。図1に示すように、多層軟磁性薄膜21を第1の軟磁性薄膜21aと第2の軟磁性薄膜21bとからなる2層構造とする場合、薄膜21a、21bの膜面内における磁化容易軸方向は90°ずれていることが望ましい。なお、多層軟磁性薄膜21は3層以上の多層構造を有していてもよい。この薄膜21がn層構造(nは2以上の整数)を有している場合、各層の膜面内における磁化容易軸方向は $180^\circ/2^{n-1}$ ずつずれていることが望ましい。

【0013】一軸磁気異方性を有する軟磁性薄膜21a、21bには、CoFeSiB系、CoNb2B系などのアモルファス系薄膜、CoFeAl-O系、CoFePd-O系、CoFeB-O系、FeCoAl-N系などの微結晶系薄膜など、多くのガス元素を含んだ組成系を利用できる。このように一軸磁気異方性を有する軟磁性薄膜21a、21bを多層化することにより、高周波帯域で全方位に高い比透磁率を得られる。したがって、インダクタ素子11の形状や方向によらず、GHzの高周波帯域において高いインダクタンスをもつインダクタ11を作製できる。

【0014】なお、図1には図示していないが、軟磁性薄膜21a、21b間にシリコン酸化膜などの絶縁層が成膜されていてもよい。軟磁性薄膜21a、21bが接触している構成で高温に加熱されると、各薄膜21a、21bが互いに影響をおよぼして磁化容易軸方向が変化するところからである。しかし、熱処理をしない限りは前記絶縁層の有無に関わらず等々の特性が得られる。また、図1には図示していないが、保護層としてシリコン酸化膜などが薄膜21を覆うように成膜されていてもよい。これにより、多層軟磁性薄膜21の材料の蒸発や不純物の侵入を防止できる。

【0015】なお、多層軟磁性薄膜21はインダクタ素子領域の全域にわたって形成されているが、インダクタ素子領域の一部の領域に形成されても効果はある。また、図1では配線層間絶縁膜4の上面のみに多層軟磁性薄膜21が形成されているが、さらにシリコン基板1の下面に同様の多層軟磁性薄膜が形成されてもよい。逆に、シリコン基板1の下面のみに同様の多層軟磁性薄膜が形成されても効果はある。

【0016】図3は、図1に示した多層軟磁性薄膜21を成膜するための成膜装置を模式的に示す断面図である。また、図4は、図3におけるIV-IV'線方向の要部断面図である。図3に示す成膜装置30は通常のスパッタ装置に一对の磁石37a、37bを付加して構成される。各磁石37a、37bは、多層軟磁性薄膜21の各層に一軸磁気異方性を与えるためのものであり、多層軟磁性薄膜21が形成されるシリコン基板1の面に対して平行方向の磁界Hが均等に生じるようにシリコン基板1

の両側にそれぞれ配置される。磁石 37a, 37b は、図 3 では真空容器 34 の外部に設置されているが、スパッタリングされたターゲット原子（または分子）が磁石 37a, 37b に付着しないようにされているれば真空容器 34 の内部に設置されてもよい。

【0017】また、シリコン基板 1 に与えられる磁界 H を回転できるように、各磁石 37a, 37b は図 4 (A), (B) に示すようにシリコン基板 1 を中心に回転自在に構成されている。あるいは、シリコン基板 1 を搭載するための基板台 31 を回転自在に構成してもよい。

【0018】次に、図 3 に示した成膜装置 30 を用いて図 1 に示した半導体装置を製造する方法を説明する。図 5 は、図 1 に示した半導体装置を製造する際の主要な工程を示す断面図である。ここでは、多層軟磁性薄膜 21 として CoFeSiB 系のアモルファス薄膜を成膜する場合を例に説明する。まず、公知の LSI プロセスを用いてインダクタ素子 11 が形成された基板 10 を用いる（図 5 (A)）。次に、図 5 (A) に示した基板 10 を、配線層間絶縁膜 4 側を上にして、図 3 に示した真空容器 34 内の基板台 31 にセットする。次に、多層軟磁性薄膜 21 が形成される領域に穴のあいているマスク（図示せず）を配線層間絶縁膜 4 上に置く。

【0019】次に、真空ポンプによって排気口 35 から排気を行い、真空容器 34 内の真空度を 2×10^{-3} Torr とする。続いて、吸気口 36 から Ar ガスを 10 SCCM (Standard Cubic Centimeter per Minute) 導入して、真空容器 34 内の真空度を 4×10^{-3} Torr とする。この状態で基板台 31 に負の電位を印加するとともに、高周波電源 33 の RF 出力を 1 W/cm^2 程度の低出力としてスパッタエッチングを行ない、配線層間絶縁膜 4 の表面をクリーニングする。

【0020】次に、組成が $\text{Co}_{0.8}\text{Fe}_{0.2}\text{Si}_{0.8}\text{B}_{0.2}$ (at %) のターゲット 32 を用意して、このターゲット 32 に負の電位を印加するとともに、高周波電源 33 の RF 出力を 3 W/cm^2 程度としてスパッタリングを行い、配線層間絶縁膜 4 上に CoFeSiB からなる軟磁性薄膜 21a を $0.3 \mu\text{m}$ 程度堆積する。このとき、磁石 37a, 37b は図 4 (A) に示すように配置されており、矢印で示す方向の第 1 の磁界 H1 がかけられている。すなわち、配線層間絶縁膜 4 の表面に対して平行成分を有する磁界 H1 を印加した中で、軟磁性薄膜 21a を成膜する。

【0021】次に、真空容器 34 内の真空度を保持したまま、磁石 37a, 37b をシリコン基板 1 を中心にして 90° 回転し、図 4 (B) に示すように配置する。そ

$$Q = (\text{素子の磁気エネルギー}) / (\text{素子の熱エネルギー}) \\ = 2\pi f L / R$$

と表すことができる。ここで、 f は周波数、 R は周波数 f におけるインダクタ素子の抵抗、 L は周波数 f にお

して、磁界 H1 と直交する方向の第 2 の磁界 H2 の中で再度スパッタリングを行い、軟磁性薄膜 21a 上に軟磁性薄膜 21b を $0.3 \mu\text{m}$ 程度堆積する。すなわち、配線層間絶縁膜 4 の表面に対する平行成分が磁界 H1 と直交する方向の磁界 H2 を印加した中で、軟磁性薄膜 21b を成膜する。これにより、磁化容易軸方向が 0° 異なる軟磁性薄膜 21a, 21b の 2 層構造を形成できる。

【0022】最後に、軟磁性薄膜 21a, 21b からなる多層軟磁性薄膜 21 を覆うように SiO_2 を成膜して、保護層を形成する。このようにして形成された多層軟磁性薄膜 21 の比抵抗は例えば $120 \mu\Omega/\square$ 程度であり、銅、アルミニウムに比較して 1 桁以上大きな比抵抗を有している。

【0023】なお、ここで示したプロセスは多層軟磁性薄膜 21 の成膜方法の一例であり、本発明はここで挙げた諸数値には限定されない。また、多層軟磁性薄膜 21 の組成が酸化物であるときは、 $\text{Ar} : \text{O}_2 = 10 : 2$ のガス流量比で成膜する。

【0024】ここで、図 11 に示した従来の半導体装置の製造方法と、図 1 に示した本発明の半導体装置の製造方法とを比較する。従来はその構造上、LSI プロセスと組み合わせた形で磁性体薄膜 121 を形成しなければならなかった。しかし、LSI 配線プロセスでは少なくとも 400°C 程度の温度で処理される工程が必要であり、熱履歴を受けることで磁性体薄膜 121, 122 の結晶構造が変化してしまう。このため、磁性体薄膜を単独で形成した場合と比較して、比透磁率が低下してしまうという問題があった。

【0025】これに対して、図 1 に示した半導体装置では、LSI プロセスが終了した後の追加プロセスで多層軟磁性薄膜 21 を形成できる。このため、薄膜 21 は LSI プロセスによる熱履歴を受けなくすむので、熱処理による軟磁性薄膜 21a, 21b の結晶構造の劣化を抑えられる。この結果、多層軟磁性薄膜を単独で形成したときの比透磁率の値を保持できるので、高いインダクタンスをもつインダクタ素子 11 を作製することが可能となる。

【0026】次に、図 1 に示した半導体装置の特性について説明する。一般に、回路素子の効率 Q は、 $Q = (\text{回路素子の有効エネルギー}) / (\text{回路素子で損失するエネルギー})$

で定義される。すなわち、蓄えられるエネルギーが大きいほど、損失エネルギーが小さいほど、効率 Q がよいことを意味する。

【0027】次に、インダクタ素子の効率 Q は、

$Q = (\text{素子の磁気エネルギー}) / (\text{素子の熱エネルギー})$ である。すなわち、インダクタ素子成分 L が大きいほど、抵抗成分が小さ

いほど、効率 Q がよいことを意味する。図1に示したようにインダクタ素子11の上面に磁性体薄膜を形成すると、後述する磁性体薄膜の効率 Q_m に応じてインダクタ素子11のインダクタンス L が向上し、その結果効率 Q が向上する。図1のような閉回路構造の場合は、理想的には4倍までインダクタンス L が向上する。

【0028】次に、磁性体薄膜の効率 Q_m は、 $Q_m = (\text{薄膜の保持できる磁気エネルギー}) / (\text{損失エネルギー})$

と表すことができる。一方、磁性体薄膜に関して、その比透磁率 μ は、

$$\mu = \mu' + j\mu''$$

と表すことができる。ここで、 μ' は実数項比透磁率、 μ'' は虚数項比透磁率である。 μ' は一般に言われる比透磁率を表し、 μ'' が大きいかほど磁性体薄膜の保持できる磁気エネルギーが大きくなる。また、 μ'' は (μ') と位相が90°異なるため損失項となり、 μ'' が大きいほど損失エネルギーが大きくなる。したがって、 μ' 、 μ'' を用いて磁性体薄膜の効率 Q_m は、 $Q_m = \mu' / \mu''$

と表すことができる。

【0029】図6は、磁性材料の効率 Q_m の計算結果を示すグラフである。磁性材料の厚みが0.2 μm で、飽和磁化量 B_s が13000 gauss、異方性磁界 H_k が1300 Oe、材料の比抵抗 ρ が700 $\mu\Omega\text{cm}$ のとき、図6に示したように1 GHzで $Q_m = 19.8$ 、2 GHzで $Q_m = 5.9$ の値が得られる。

【0030】この計算結果に基づき $\text{Co}_{90}\text{Fe}_{10}\text{Pd}_{10}$ 系の軟磁性薄膜を図5で説明した方法を用いて形成した結果、軟磁性薄膜の Q_m 値として1 GHzで $Q_m = 17$ 、2 GHzで $Q_m = 5$ が得られた。次に、この $\text{Co}_{90}\text{Fe}_{10}\text{Pd}_{10}$ -O系薄膜を空心インダクタ上に成膜して、磁心インダクタを形成した。そして、1 GHzでインダクタンス L を測定したところ、空心インダクタで $L = 8 \text{ nH}$ であったものが、磁心インダクタでは $L = 12 \text{ nH}$ となり、インダクタンス値が50%向上した。また、1 GHzにおけるインダクタの効率 Q は、空心インダクタの $Q = 15$ に対して、磁心インダクタでは $Q = 17$ に向上した。2 GHzではインダクタンス L は同様に向上するが、効率 Q の改善は認めなかった。さらに、上記軟磁性薄膜を付与することで、導体を流れる電流のGHz帯のノイズレベルが10 dB改善された。

【0031】(第2の実施形態) 図7は、本発明による半導体装置の第2の実施形態の断面図であり、シリコンLSIを構成する半導体装置のインダクタ素子領域を示している。図7において、図1と同一部分については同一符号を付し、その説明を適宜省略する。図7に示した半導体装置では、シリコン基板1に開口部1aが設けられており、この開口部1a内に軟磁性薄膜の多層構造を有する多層軟磁性薄膜21と同様の構成の多層軟磁

性薄膜22が形成されており、この点で図1に示した半導体装置と異なっている。

【0032】シリコン基板1の開口部1aは、インダクタ素子領域（すなわちインダクタ素子11が形成された領域）に対応する部分のシリコン基板1を除去して形成される。この開口部1aの開口面積は、開口部1a内に形成される多層軟磁性薄膜22の大きさによって決められる。多層軟磁性薄膜22が露出する領域については、図7に示すように、素子分離絶縁膜2が露出するまで、シリコン基板1が完全に除去される。シリコン基板1が除去されて素子分離絶縁膜2が露出した部分に、多層軟磁性薄膜22が密着形成される。この薄膜22は、一軸磁気異方性を有する軟磁性薄膜22a、22bの2層構造を有しており、軟磁性薄膜22a、22bの膜面内における磁化容易軸方向は互いに異なっている。ただし、多層軟磁性薄膜22が3層以上の多層構造を有していてもよい。

【0033】このように、シリコン基板1に開口部1aを設けて、この開口部1a内のシリコン基板1が露出した部分に多層軟磁性薄膜22を形成することにより、多層軟磁性薄膜22をインダクタ素子11の下側に近接配置できる。インダクタ素子11と多層軟磁性薄膜22との距離が近いほどインダクタンスの向上に効果的なので、開口部1aを形成してその内部に多層軟磁性薄膜22を配置することにより高いインダクタンスを実現できる。

【0034】次に、図7に示した半導体装置の製造方法を説明する。図8および図9は、この半導体装置を製造する際の主要な工程を示す断面図である。まず、シリコン基板1としてシリコン(100)基板を用意して、公知のLSIプロセスを用いてインダクタ素子11が形成された基板10を作製する（図8(A)）。

【0035】次に、シリコン基板1の裏側の面全域に、例えばプラズマCVD法などによりシリコン酸化膜9を形成する（図8(B)）。次いで、公知のフォトリソグラフィ技術とエッチング技術を用いて、インダクタ素子領域に対応する部分のシリコン酸化膜9を除去して、開口部9aを形成する（図8(C)）。そして、このようにパターンニングされたシリコン酸化膜9をエッチングマスクとして、シリコン基板1をKOH水溶液などに浸し、素子分離絶縁膜2が露出するまでシリコン基板1のエッチングを行って、開口部1aを形成する（図9(A)）。

【0036】KOH水溶液には、シリコン(100)面のエッチング速度が速く、シリコン(111)面およびシリコン酸化膜のエッチング速度が非常に遅いという特徴がある。この特徴により、シリコン基板1はシリコン(111)面を境界としてテーパー状にエッチングされるとともに、シリコン酸化膜である素子分離絶縁膜2でエッチングが止まるので、制御性よく加工できる。

【0037】また、開口部1aの形成は、KOH水溶液などのアルカリ性溶液を用いたシリコンの選択的ウェットエッチング方法の他に、 SiF_4 ガスをを用いたシリコンの選択的気相エッチング方法、研磨装置などを用いた機械的研磨方法、またはこれらの方法の組み合わせによって行える。いずれの方法でもシリコン基板1上に素子分離絶縁膜2が形成されているので、所望の部分のシリコン基板1を制御性よく除去できる。

【0038】次に、図5を用いて説明した多層軟磁性薄膜21の成膜方法を用いて、シリコン基板1の開口部1a内の所望の領域に、シリコン基板1の下面から多層軟磁性薄膜22を形成する(図9(B))。このとき、軟磁性薄膜22aの成膜は、素子分離絶縁膜2の露出した面に対して平行成分を有する磁界H1を印加した中で行われ、軟磁性薄膜22bの成膜は、素子分離絶縁膜2の露出した面に対する平行成分が磁界H1と直交する方向の磁界H2を印加した中で行われる。

【0039】次に、真空容器34内の真空度を保持したまま、磁石37a、37bをシリコン基板1を中心にして90°回転し、図4(B)に示すように配置する。そして、磁界H1と直交する方向の第2の磁界H2の中で再度スパッタリングを行い、軟磁性薄膜21a上に軟磁性薄膜21bを0.3 μ m程度堆積する。すなわち、配線層間絶縁膜4の表面に対する平行成分が磁界H1と直交する方向の磁界H2を印加した中で、軟磁性薄膜21bを成膜する。これにより、磁化容易軸方向が90°異なる軟磁性薄膜21a、21bの2層構造を形成できる。最後に、層間絶縁膜4上に多層軟磁性薄膜21を形成して、インダクタ素子11を上から多層軟磁性薄膜で挟んだ構成を実現できる(図9(C))。このような手順で製造することにより、半導体素子の製造プロセスが終了した後の追加プロセスによって多層軟磁性薄膜21、22を形成できる。このため、多層軟磁性薄膜21、22が半導体素子の製造プロセスによる熱履歴を受けないですむので、多層軟磁性薄膜21、22を単独で形成したときの特性を保持するできる。

【0040】

【発明の効果】以上説明したように、本発明によれば、インダクタ素子とともに配置される磁性体薄膜を磁化容易軸方向の異なる軟磁性薄膜の多層構造とすることにより、インダクタ素子の形状や方向によらず、GHzの高周波帯域でもインダクタンスの高いインダクタ素子を形

成できる。また、半導体基板に開口部を形成し、この開口部に軟磁性薄膜を形成することにより、インダクタ素子の下面側の近傍に軟磁性薄膜を形成できる。軟磁性薄膜とインダクタ素子とを近づけて形成するほど、インダクタンスの向上に効果的である。しかも、インダクタ素子を含めた半導体素子の製造プロセスの終了後に軟磁性薄膜を形成できるので、軟磁性薄膜は熱履歴を受けないですむ。したがって、高温による結晶構造の劣化により防止できるので、高いインダクタンスをもつインダクタ素子を作製できる。

【図面の簡単な説明】

【図1】 本発明による半導体装置の第1の実施の形態の断面図である。

【図2】 図1に示したインダクタ素子の平面形状を示す透視図である。

【図3】 図1に示した多層軟磁性薄膜を成膜するための成膜装置を模式的に示す断面図である。

【図4】 図3におけるIV-IV'線方向の要部断面図である。

【図5】 図1に示した半導体装置を製造する際の主要な工程を示す断面図である。

【図6】 磁性材料の効率の計算結果を示すグラフである。

【図7】 本発明による半導体装置の第2の実施の形態の断面図である。

【図8】 図7に示した半導体装置を製造する際の主要な工程を示す断面図である。

【図9】 図8に引き続き工程を示す断面図である。

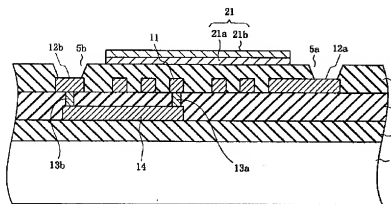
【図10】 スパイラルインダクタの平面図である。

【図11】 スパイラルインダクタが形成された従来の半導体装置の断面図である。

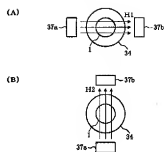
【符号の説明】

1…シリコン基板、2…素子分離絶縁膜、3、4…配線層間絶縁膜、5a、5b…開口部、9…シリコン酸化膜、9a…開口部、11…インダクタ素子、12a、12b…電極、13a、13b…コンタクト、14…配線、21、22…多層軟磁性薄膜、21a、21b、22a、22b…軟磁性薄膜、30…成膜装置、31…基板台、32…ターゲット、33…高周波電源、34…真空容器、35…排気口、36…吸気口、37a、37b…磁石。

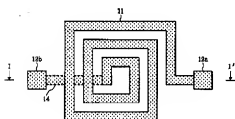
【図1】



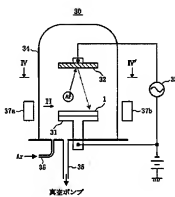
【図4】



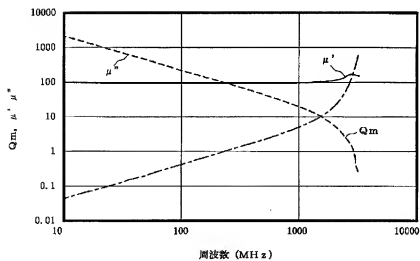
【図2】



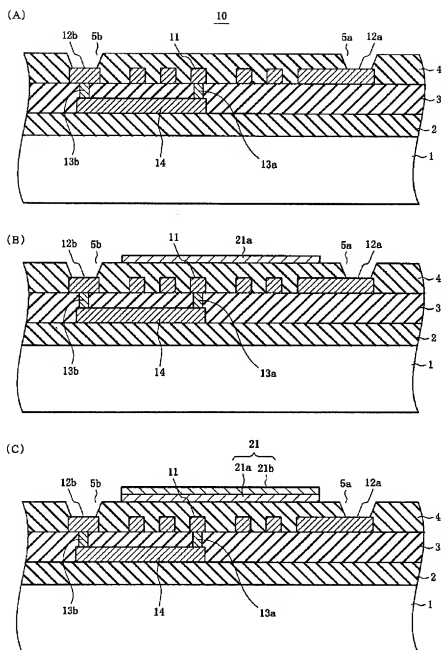
【図3】



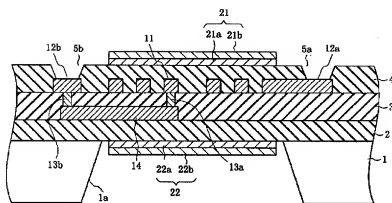
【図6】



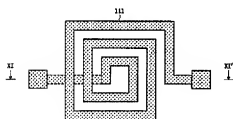
【图 5】



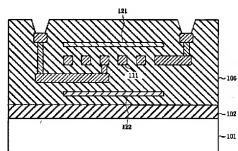
【図 7】



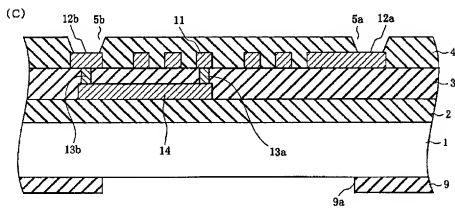
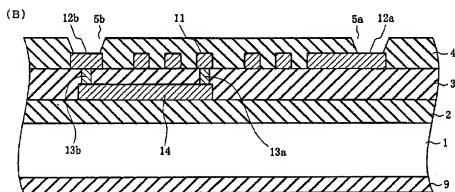
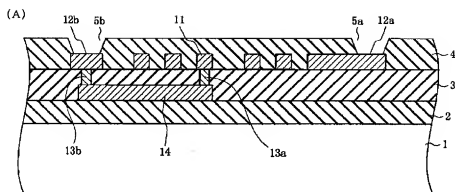
【図 10】



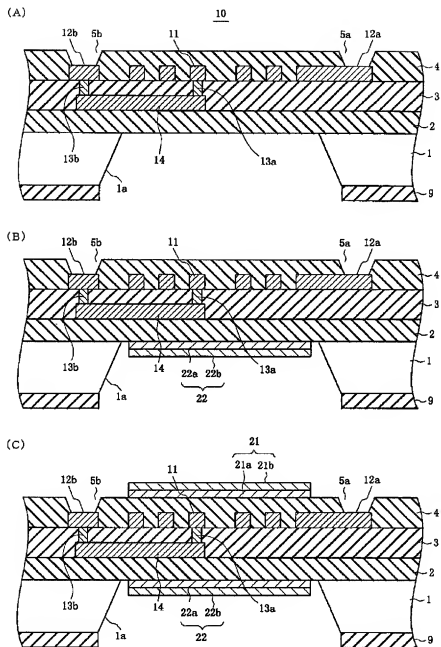
【図 11】



【図8】



【図 9】



フロントページの続き

(72)発明者 原田 光
東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

(72)発明者 東原 恒夫
東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

(72)発明者 菅原 英州

宮城県仙台市太白区郡山 6 丁目 7 番 1 号

株式会社トーキン内

(72)発明者 鈴木 秀夫

宮城県仙台市太白区郡山 6 丁目 7 番 1 号

株式会社トーキン内

(72)発明者 佐藤 正博

宮城県仙台市太白区郡山 6 丁目 7 番 1 号

株式会社トーキン内

F ターム(参考) 5E049 AA04 AA09 AC05 BA11 EB01

FC10 GC04 GC08

5E062 DD01

5E070 AA01 AB04 BA20 BB01 CB12

CB20

5F038 AZ04 CA01 EZ01